

**USP - ICMC - SSC
SSC 0510 - Informática - 2o. Semestre 2009**

Disciplina de Arquitetura de Computadores

Prof. Fernando Santos Osório

Email: fosorio [at] { icmc. usp. br , gmail. com }

Página Pessoal: <http://www.icmc.usp.br/~fosorio/>

Estagiário PAE Maurício Dias - Email: [acdias29 \[at\] yahoo.com.br](mailto:acdias29@yahoo.com.br)

Material on-line: COTEIA - <http://coteia.icmc.usp.br>

Aula 02 - Tópicos Abordados

Conteúdos Abordados:

- 1. Conceitos Básicos**
- 2. Arquitetura de Computadores**
 - 2.1 Histórico**
 - 2.2 Arquitetura de Von Neumann**
 - 2.3 CPU - Unidade Central de Processamento**
 - 2.4 Arquiteturas: Von Neumann, Harvard, Microprocessadores**
 - 2.5 UC - Unidade de Controle**
 - 2.6 ULA - Unidade Lógico Aritmética**
 - 2.7 Memória**
 - 2.8 E/S - Entrada e Saída**
- 3. Arquitetura de Microprocessadores - Intel 4004**

1. Conceitos Básicos

Conceitos Básicos:

> Assumido que o alunos já conhece os seguintes conceitos básicos:

- **Sistemas de Numeração : Decimal, Binário, Hexadecimal**
- **Representação de Dados: Bit, Byte, Word, ASCII, Inteiros sem sinal e com sinal (complemento de 1 e de 2) Conceito de Ponto Fixo e Ponto Flutuante**
- **Aritmética Binária: Soma/Subtração com Inteiros**
- **Conceitos de Lógica Digital:
Portas Lógicas (And, Or, Not, Xor)
Circuitos Combinatórios
Circuitos: Somador, Mux/Demux, Decodificador
Elementos Básicos de Memória (Flip-Flop):
- SR Latch, JK, D Latch, Master-Slave**

1. Conceitos Básicos

Conceitos Básicos:

> **Bibliografia referente aos conceitos básicos:**

- **STALLINGS, W.**
Arquitetura e Organização de Computadores, Prentice Hall, 5a. ed., 2002.
- **TOCCI, J.R.; WIDMER, N.S.,**
Sistemas Digitais - Princípios e Aplicações, Pearson, Prentice Hall, 2003.
- **MANO, M.M.; KIME, C.R.**
Logic and Computer Design Fundamentals, second edition, Prentice Hall, 2000.
- **MONTEIRO, Mário A.**
Introdução à Organização de Computadores, LTC, 4ed. 2002.
- **Web Lessons:** <http://courses.cs.vt.edu/~csonline/index.html>

> **Bibliografia e Referências (Aula 02)**

- **WEBER, Raul F.**
Fundamentos de Arquitetura de Computadores, Ed. Sagra-Luzzatto, 2 ed. 2001.
- **Profa. Sarita, Prof. Simões (ICMC-USP)**
- **Livro: W. Stallings (slides)**

2. Arquitetura de Von Neumann

Breve Histórico:

Blaise Pascal (1623 - 1662)

1642 - Máquina de calcular mecânica (engrenagens e alavancas)

Permitia fazer adições e subtrações - Inovação: vai-um, repr. numérica

Leibniz (1646 - 1716)

1671 - Máquina de calcular mecânica

Permitia fazer as 4 operações - Inovação: multiplicação e divisão

Charles Babbage (1792 - 1871)

1827 - Máquina Diferencial: implementava o método de diferenças finitas

Inovação: operação automática com diversos passos

1834 - Máquina Analítica: proposta de uma máquina de propósito geral.

Inovação: Mecanismo automático de controle de seqüência de programa

Zuse: Z3 - 1941 (Computadores com circuitos eletro-mecânicos)

Aiken: Mark I - 1944

John von Neumann (1903-1957)

ENIAC (Electronic Numerical Integrator and Computer) - 1946 (Válvulas)

EDVAC (Electronic Discrete Variable Automatic Calculator)

IAS (Institute for Advanced Study - Princeton, USA) => **Arquitetura Von Neumann**

2. Arquitetura de Von Neumann

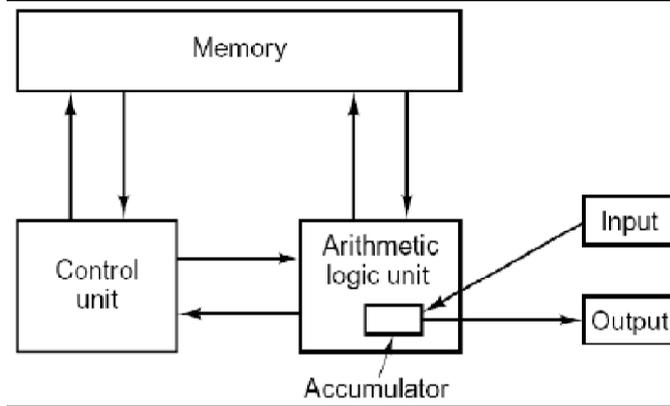
Arquitetura - Modelo Inicial:

- John von Neumann
 - Construiu em 1952 o computador IAS (*Institute for Advanced Study - Princeton, USA*)
 - Programa Armazenado: programas e dados representados de forma digital em memória
 - Processamento baseado em aritmética binária, ao invés de decimal
- Máquina de Von Neumann
 - Componentes:
 - > Memória
 - > Unidade Lógica e Aritmética (ULA)
 - > Unidade de Controle
 - > Dispositivos de entrada/saída
 - Memória EDVAC: 1024 palavras de 44 bits
 - Memória IAS: 4096 palavras de 40 bits (2 instruções de 20 bits / inteiro c/sinal)
 - Instrução IAS: 8 bits para indicar o tipo, 12 bits para endereçar a memória
 - Acumulador IAS: registrador especial de 40 bits. Tem por função armazenar um operando e/ou um resultado fornecido pela ULA.

2. Arquitetura de Von Neumann

Arquitetura - Modelo Inicial:

- Máquina de von Neumann



2. Arquitetura de Von Neumann

Arquitetura - Modelo Inicial:

Von Neumann: Arquitetura de Computadores, Mecânica Quântica,
Teoria de Jogos - Theory of Games and Economic Behavior
Inteligência Artificial / Redes Neurais - The Computer and the Brain



John von Neumann in the 1940s



Help us provide free content to the world by donating today!
article discussion edit this page history

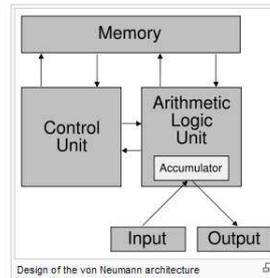
Von Neumann architecture

From Wikipedia, the free encyclopedia

The **von Neumann architecture** is a design model for a stored-program digital computer that uses a processing unit and a single separate storage structure to hold both instructions and data. It is named after mathematician and early computer scientist John von Neumann. Such a computer implements a universal Turing machine, and the common "referential model" of specifying sequential architectures, in contrast with parallel architectures.

A **stored-program** digital computer is one that keeps its program instructions as well as its data in read-write, random access memory. Stored-program computers were an advancement over the program-controlled computers of the 1940s, such as Colossus and ENIAC, which were programmed by setting switches and inserting patch leads to route data and control signals between various functional units. In the majority of modern computers, the same memory is used for both data and program instructions.

The terms "von Neumann architecture" and "stored-program computer" are generally used interchangeably, and that usage is followed in this article. In contrast, the Harvard architecture stores a program in a modifiable form, but without using the same physical storage or format as for general data.



Design of the von Neumann architecture

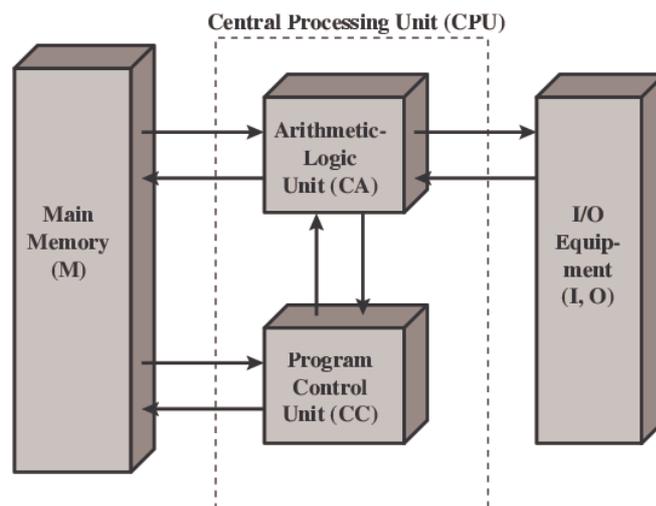
2. Arquitetura de Von Neumann

Arquitetura - Modelo Inicial:

- **Máquina de von Neumann**
 - Unidade de Processamento Central (ULA):
Execução das instruções com operações lógicas e aritméticas.
 - Unidade de Controle de Programa:
Determinar o seqüenciamento das instruções a serem executadas e gerar os sinais de controle para as outras unidades.
 - Unidade de Memória Principal
 - Unidade da Entrada e Saída
- **Ciclo de Busca-Decodificação-Execução**
 - Busca: na fase de busca é lida uma instrução da memória
 - Decodificação: nessa fase é determinada qual instrução deve ser executada. Geralmente realizada por lógica combinacional.
 - Execução: para cada tipo de instrução é realizada sua execução, conforme o necessário.

2. Arquitetura de Von Neumann

Máquina de von Neumann / IAS Computer



2. Arquitetura de Von Neumann

IAS Computer - details

- 1000 x 40 bit words
 - Binary number
 - 2 x 20 bit instructions
- Set of registers (storage in CPU)
 - Memory Buffer Register
 - Memory Address Register
 - Instruction Register
 - Instruction Buffer Register
 - Program Counter
 - Accumulator
 - Multiplier Quotient

11

Agosto 2009

IAS Computer: - Structure

Componentes:

ULA - Unidade Lógica Aritmética

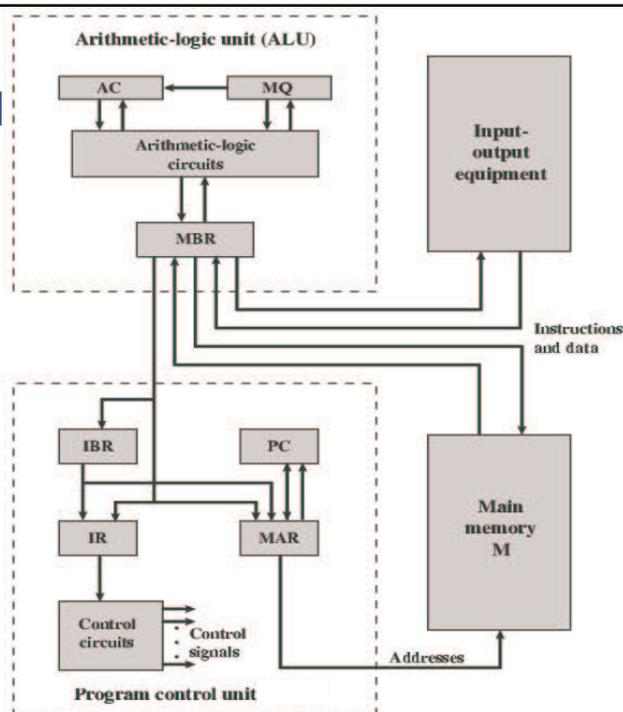
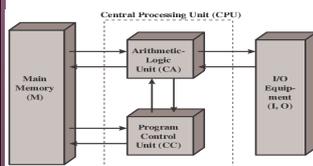
- AC - Acumulador
- MQ - Registrador Multiplicador-Quociente
- MBR - Registrador de Memória (Buffer)

UC - Unidade de Controle

- IBR - Registrador de Instrução (Buffer)
(Leitura 40 bits: 2 instruções por vez)
- IR - Registrador de Instrução
(em execução)
- PC - Contador de Programa
- MAR - Registrador de Endereço de Memória

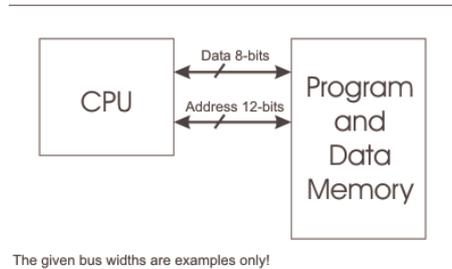
M - Memória

E/S - Entrada e Saída



2. Arquitetura de Von Neumann

Arquitetura: *Von Neumann x Harvard*

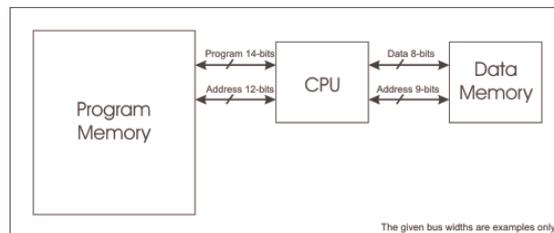


The given bus widths are examples only!

Máquina de Von Neumann

Instruções:
Operador + Operando

IAS
8 bits - Operação (OPcode)
12 bits - Operando (Endereço)



The given bus widths are examples only!

Arquitetura de Harvard

- Separação entre memória de programa e memória de dados
- Busca de instruções e operandos pode ser simultânea (barramentos separados)

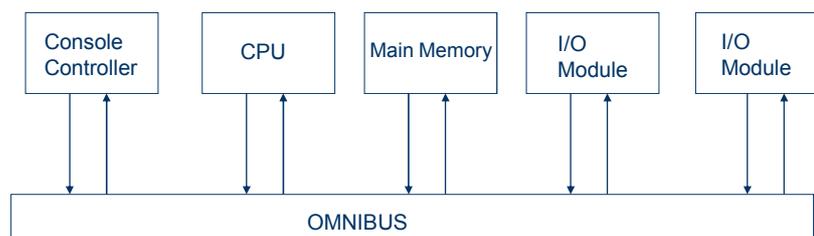
13

Agosto 2009

Fonte: <http://www.elec.canterbury.ac.nz/PublicArea/Staff/ho/f/p10-embed/p10-tutorial/p13.html>

2. Arquitetura de Von Neumann

Arquitetura: *DEC PDP 8*



Fonte: <http://williamstallings.com/COA6e.html>

- Uso de barramento único (omnibus) entre os diversos módulos da arquitetura

História... UNIVAC (1951), IBM (1953), DEC PDP-1 (1957)
Intel Microprocessor 4004 (1971)!

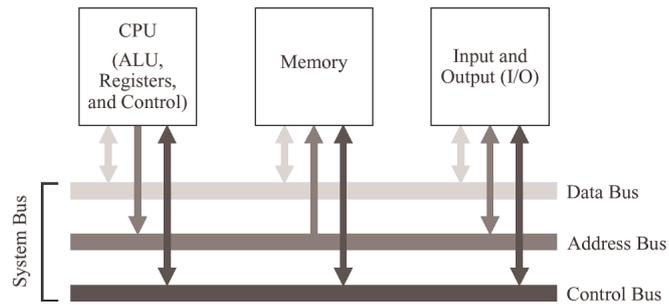
14

Agosto 2009

2. Arquitetura de Von Neumann

Arquitetura de Computadores:

Barramentos: Endereços, Dados e Controle



15

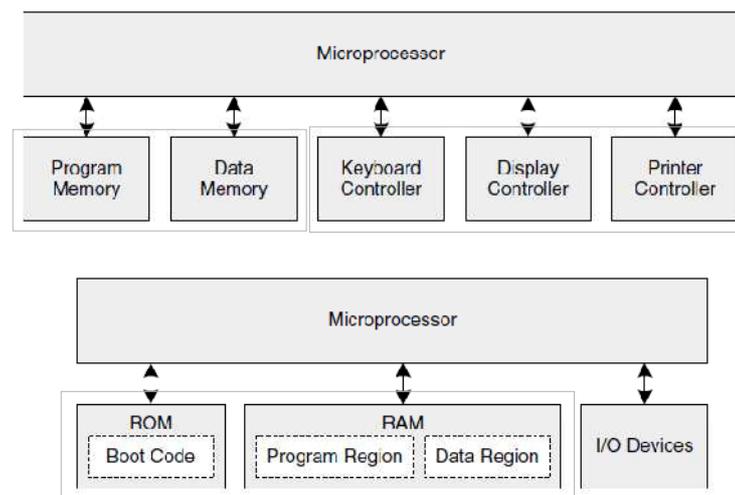
Agosto 2009

Fonte: <http://williamstallings.com/COA6e.html>

2. Arquitetura de Von Neumann

Arquitetura de Computadores

Fonte: Mark Balch - Complete Digital Design



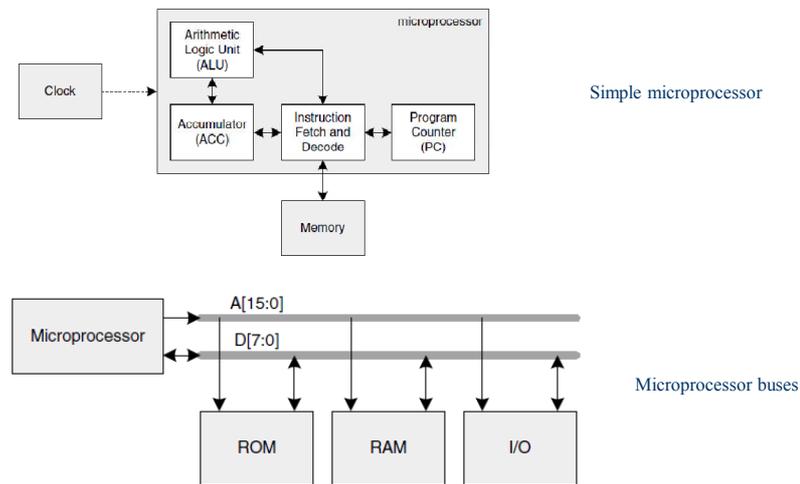
16

Agosto 2009

2. Arquitetura de Von Neumann

Arquitetura de Computadores

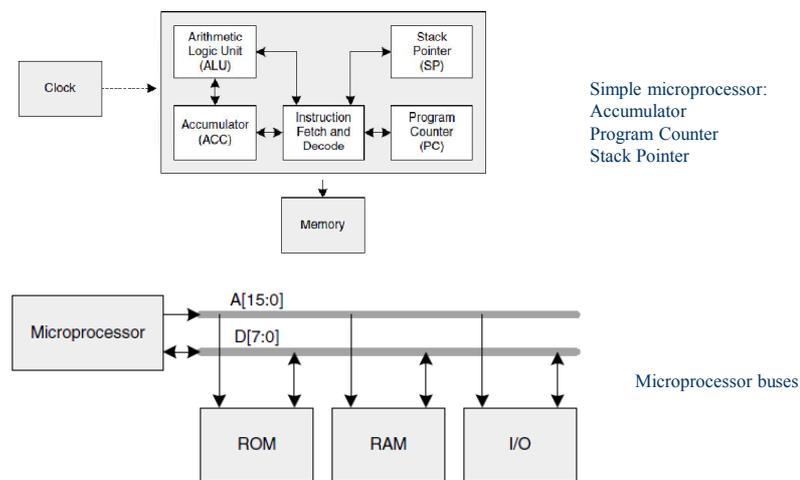
Fonte: Mark Balch - Complete Digital Design



2. Arquitetura de Von Neumann

Arquitetura de Computadores

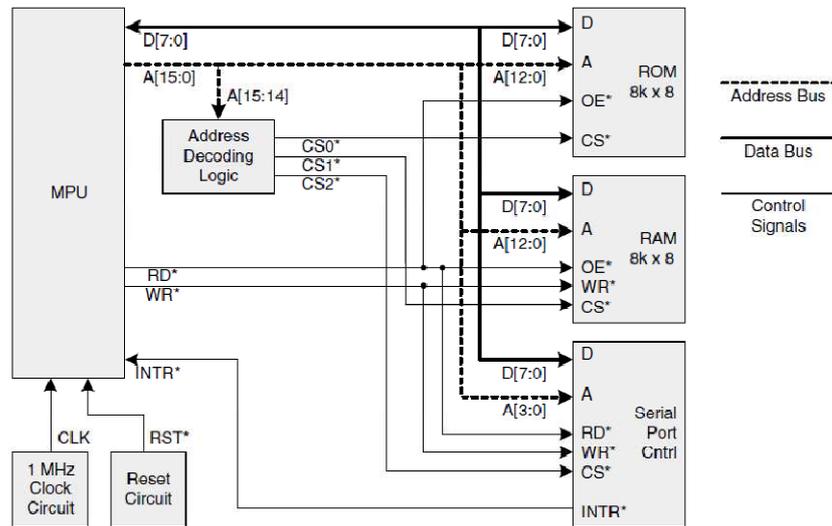
Fonte: Mark Balch - Complete Digital Design



2. Arquitetura de Von Neumann

Arquitetura de Computadores

Eight-bit computer block diagram



2. Arquitetura de Von Neumann

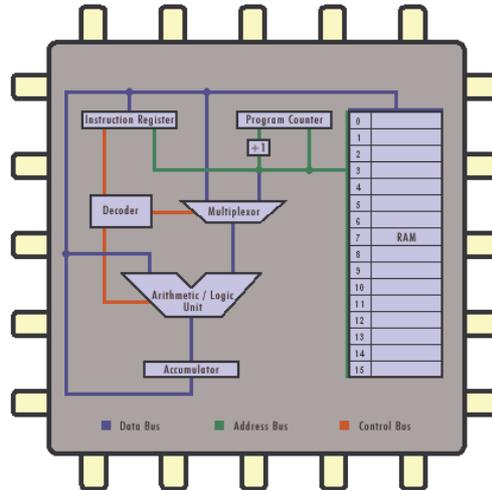
Unidade de Controle - UC

- Responsável por gerar todos os sinais que controlam as operações no exterior do CPU, e ainda por dar todas as instruções para o correto funcionamento interno do CPU [UC é o "Maestro da Orquestra"];
- Junto a Unidade de Controle temos um decodificador de instruções, que analisa e decodifica o Operador da Instrução (OPcode);
- A unidade de controle executa três ações básicas intrínsecas e pré-programadas pelo próprio fabricante do processador, são elas:
 - (i) busca (fetch)
 - (ii) decodificação
 - (iii) execução
- Assim sendo, todo processador, ao iniciar sua operação, realiza uma operação cíclica, tendo como base essas três ações. A unidade de controle usualmente é fixa, onde esta define o Conjunto de Instruções do Processador: **CPU Instruction Set**

2. Arquitetura de Von Neumann

Unidade de Controle - UC

Show time...



21

Agosto 2009

Fonte: <http://courses.cs.vt.edu/~csonline/MachineArchitecture/Lessons/CPU/index.html>

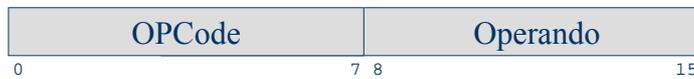
2. Arquitetura de Von Neumann

Unidade de Controle - UC

CPU Instruction Set

Código de Instruções

Operador da Instrução + Operando(s)



Exemplo: Instrução de 16 Bits

Tipos de Instruções...

Arquiteturas de 4, 3, 2, 1 e 0 endereços

Tipos de Instruções... Conjunto de Instruções Microprogramado

Tipos de Instruções... RISC, CISC, VLIW

Tipos de Instruções... Modo de Endereçamento

Tipos de Instruções... Instruções de Controle, Privilegiadas, etc.

22

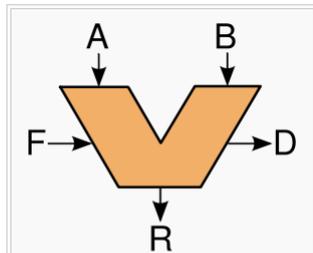
Agosto 2009

Fonte: <ftp://ftp.inf.ufrgs.br/pub/inf107/> (Arquiteturas de 0,1,2,3,4 endereços)

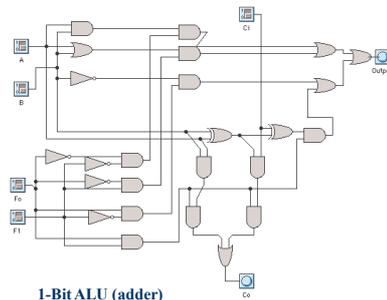
2. Arquitetura de Von Neumann

Unidade Lógico Aritmética - ULA

A *Unidade Lógica e Aritmética* (ULA) ou em inglês Arithmetic Logic Unit (ALU) é uma parte da Unidade Central do Processador (Central Processing Unit - CPU). Esta unidade é que realmente executa as operações aritméticas e lógicas referenciadas pelos opcodes das instruções.



Um símbolo esquemático típico para uma ULA, onde "A" e "B" são operandos, "R" é a saída, "F" é a entrada da unidade de controle e "D" é a saída de status



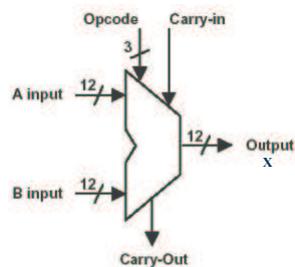
1-Bit ALU (adder)

23

Agosto 2009

2. Arquitetura de Von Neumann

Unidade Lógico Aritmética - ULA

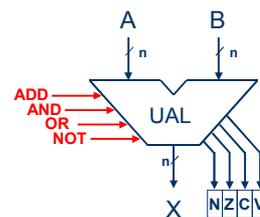


ALU Inputs:

- > A (Accumulator), B: Data Input
- > OPCODE: Select Operation
- > Carry-In (vem-um)

ALU OPCODEs:

- Add
- Subtract
- Multiply
- Divide
- Logical: AND, OR, NOT, XOR



ALU Outputs:

- > X (Accumulator): Data Output
- > Carry-Out (vai-um)
- > Outras informações de status:
 - Negativo/Sinal (N), Zero (Z), Carry (C),
 - Overflow (V), Underflow (U), Erros (E)

24

Agosto 2009

2. Arquitetura de Von Neumann

Unidade Lógica Aritmética - ULA

Exemplo: TTL 74181 ALU

Signetics

74181, LS181, S181
 Arithmetic Logic Units

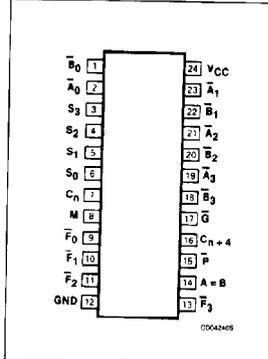
4-Bit Arithmetic Logic Unit
 Product Specification

Logic Products

FEATURES

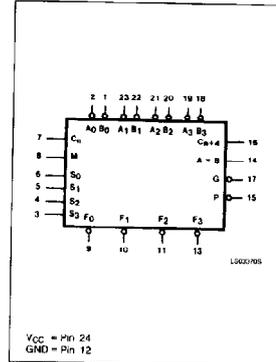
- Provides 16 arithmetic operations: ADD, SUBTRACT, COMPARE, DOUBLE, plus 12 other arithmetic operations
- Provides all 16 logic operations of two variables: Exclusive-OR, Compare, AND, NAND, NOR, OR, plus 10 other logic operations
- Full lookahead carry for high-speed arithmetic operation on long words

PIN CONFIGURATION



December 4, 1985

LOGIC SYMBOL



Vcc = Pin 24
 GND = Pin 12

5-350

25

Agosto 2009

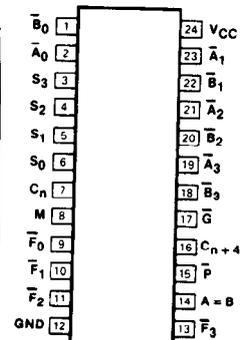
2. Arquitetura de Von Neumann

Unidade Lógico Aritmética - ULA

Exemplo: TTL 74181 ALU

MODE SELECT — FUNCTION TABLE

MODE SELECT INPUTS				ACTIVE HIGH INPUTS & OUTPUTS	
S ₃	S ₂	S ₁	S ₀	Logic (M = H)	Arithmetic** (M = L) (C _n = H)
L	L	L	L	\bar{A}	A
L	L	L	H	$\bar{A} + \bar{B}$	A + B
L	L	L	L	$\bar{A}B$	A + \bar{B}
L	L	H	H	Logical 0	minus 1
L	H	L	L	$\bar{A}B$	A plus $\bar{A}B$
L	H	L	H	B	(A + B) plus $\bar{A}B$
L	H	H	L	$A \cdot B$	A minus B minus 1
L	H	H	H	$\bar{A}B$	AB minus 1
H	L	L	L	$\bar{A} + B$	A plus AB
H	L	L	H	$\bar{A} \cdot \bar{B}$	A plus B
H	L	L	L	B	(A + B) plus AB
H	L	H	H	AB	AB minus 1
H	H	L	L	Logical 1	A plus A*
H	H	L	H	$A + \bar{B}$	(A + B) plus A
H	H	H	L	A + B	(A + \bar{B}) plus A
H	H	H	H	A	A minus 1



26

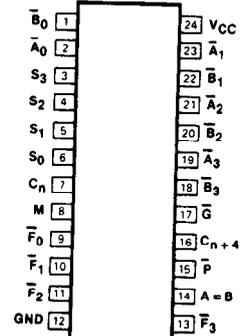
Agosto 2009

2. Arquitetura de Von Neumann

Unidade Lógico Aritmética - ULA

Exemplo: TTL 74181 ALU

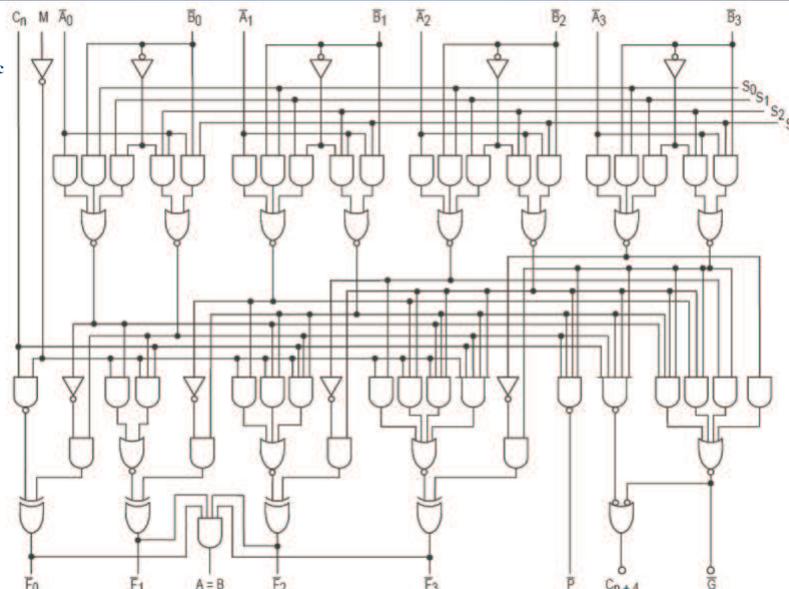
MODE SELECT INPUTS				ACTIVE LOW INPUTS & OUTPUTS	
S ₃	S ₂	S ₁	S ₀	Logic (M = H)	Arithmetic** (M = L) (C _n = L)
L	L	L	L	\bar{A}	A minus 1
L	L	L	H	$\bar{A}\bar{B}$	AB minus 1
L	L	L	H	$\bar{A} + B$	$\bar{A}\bar{B}$ minus 1
L	L	H	L	Logical 1	minus 1
L	L	H	H	$\bar{A} + \bar{B}$	A plus (A + \bar{B})
L	H	L	L	\bar{B}	AB plus (A + \bar{B})
L	H	L	H	$A \odot \bar{B}$	A minus B minus 1
L	H	H	L	$A \oplus \bar{B}$	A + \bar{B}
L	H	H	H	$\bar{A}\bar{B}$	A plus (A + B)
H	L	L	L	$\bar{A}\bar{B}$	A plus B
H	L	L	H	$\bar{A}\bar{B}$	$\bar{A}\bar{B}$ (A + B)
H	L	H	L	B	A + B
H	L	H	H	A + B	Logical 0
H	H	L	L	Logical 0	A plus A*
H	H	L	H	$\bar{A}\bar{B}$	AB plus A
H	H	H	L	AB	$\bar{A}\bar{B}$ plus A
H	H	H	H	A	A



L = LOW voltage
 H = HIGH voltage level
 *Each bit is shifted to the next more significant position.
 **Arithmetic operations expressed in 2s complement notation.

2. Arquitetura de Von Neumann

Schematic
 74181
 ALU



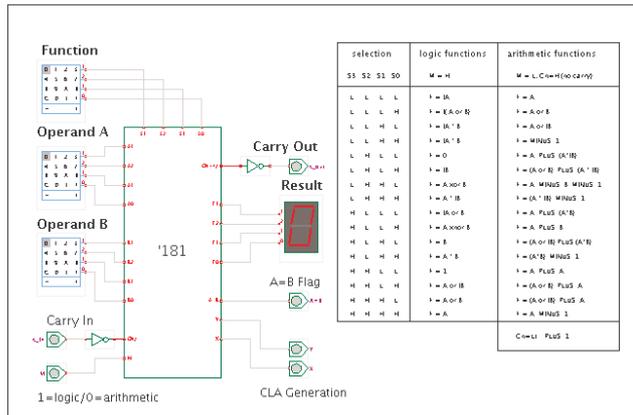
2. Arquitetura de Von Neumann

Hades, the Hamburg Design System, a framework for interactive simulation

HADES - JAVA Interactive Demo - Logic Circuits |

<http://tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/index.html>

TTL-series 74181 ALU demonstration



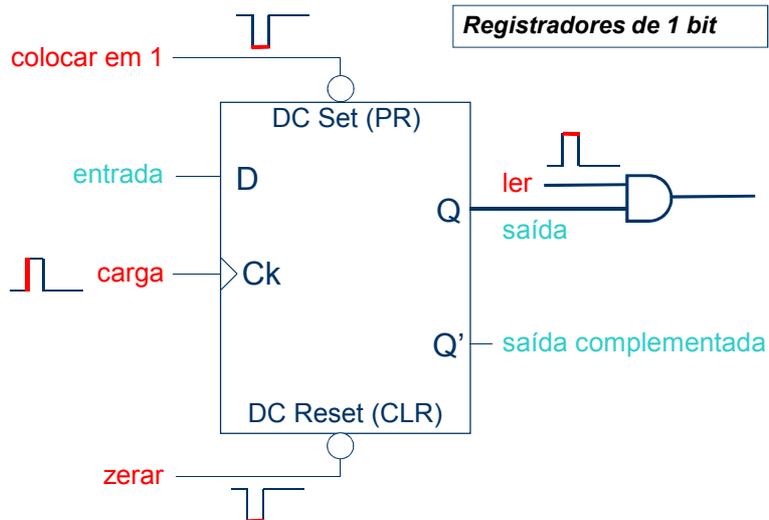
29

Agosto 2009

Fonte: http://tams-www.informatik.uni-hamburg.de/applets/hades/webdemos/20-arithmetic/50-74181/demo-74181-ALU_print.html

2. Arquitetura de Von Neumann

Unidade de Memória



30

Agosto 2009

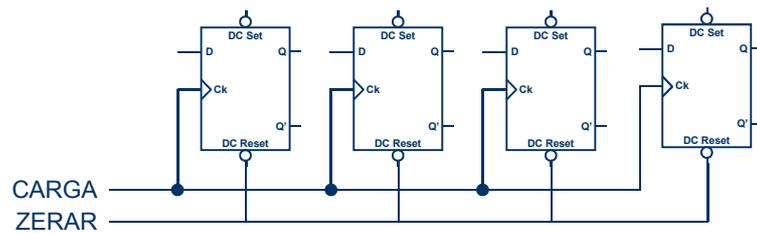
Fonte: <ftp://ftp.inf.ufgrs.br/pub/inf107/> (RegMemAlu)

2. Arquitetura de Von Neumann

Unidade de Memória

- um flip-flop por bit
- sinais de controle comuns a todos os flip-flops

Registadores de de vários bits



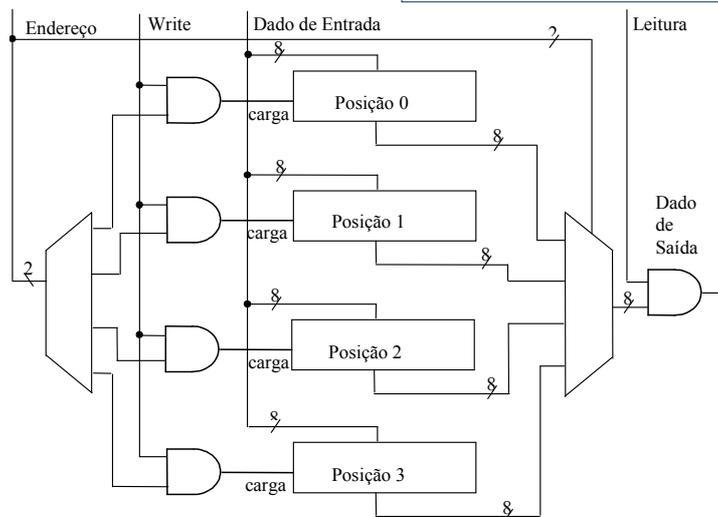
Quando lê as entradas ?
- nas bordas positivas do sinal **CARGA**

Quando zera todos os bits ?
- quando o sinal **ZERAR** passa de 1 para 0

2. Arquitetura de Von Neumann

Unidade de Memória

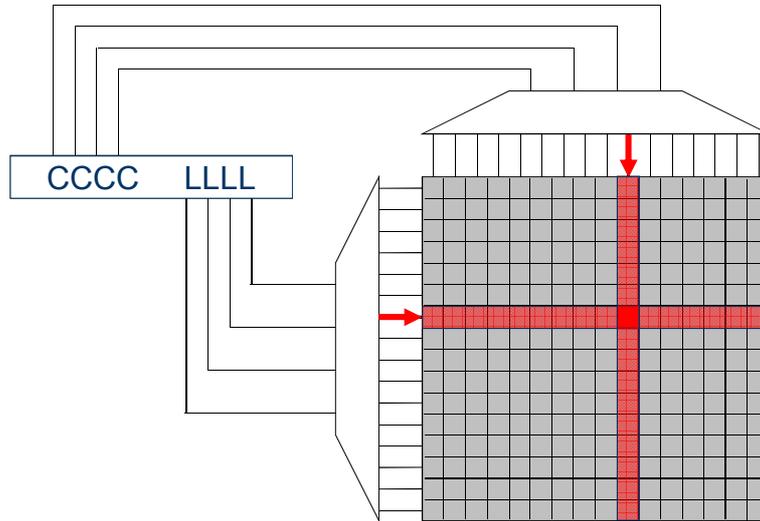
Memória com seleção linear



2. Arquitetura de Von Neumann

Unidade de Memória

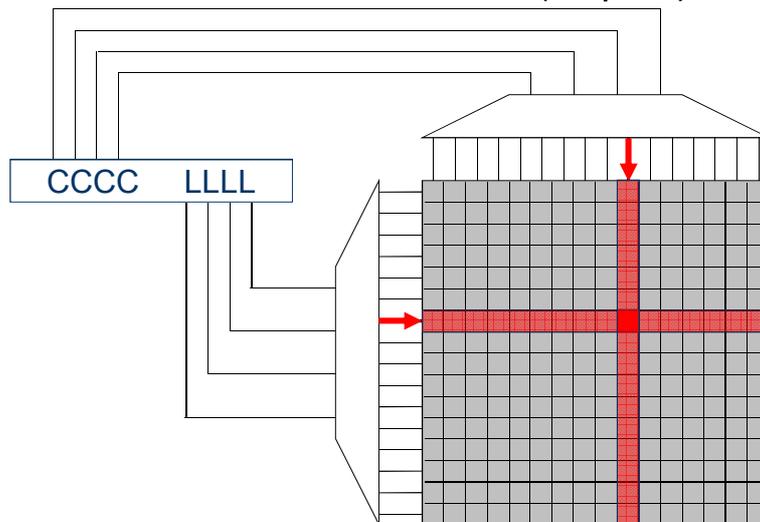
Memória com seleção matricial
(um "plano")



2. Arquitetura de Von Neumann

Unidade de Memória

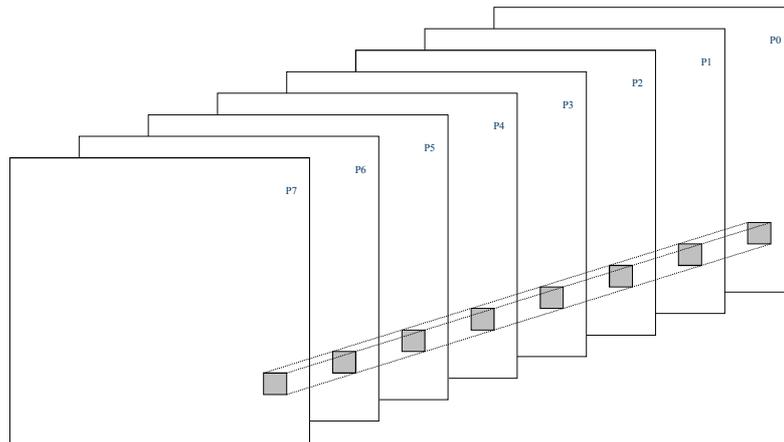
Memória com seleção matricial
(um "plano")



2. Arquitetura de Von Neumann

Unidade de Memória

Memória com seleção de plano
 (1 bit em cada "plano")



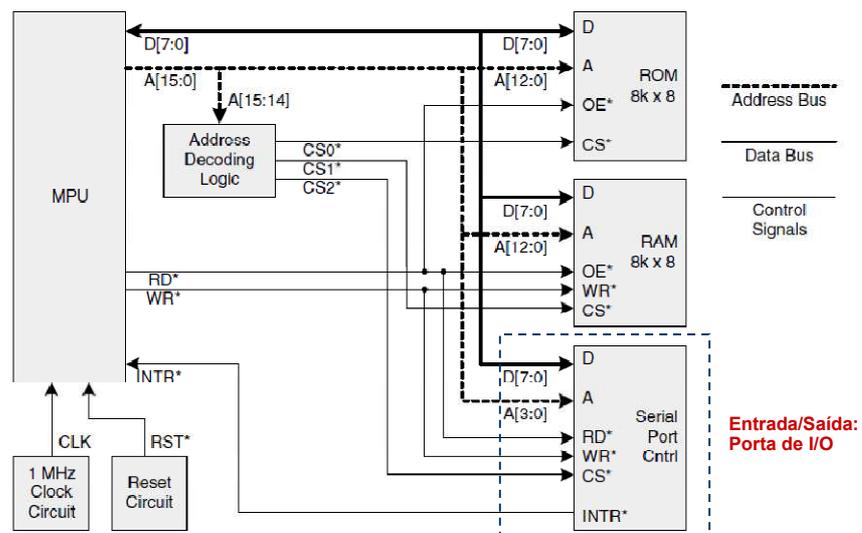
35

Agosto 2009

(1 "plano" pode ser 1 circuito integrado de memória " $n_k \times 1$ bit")

2. Arquitetura de Von Neumann

Unidade de E/S (Entrada e Saída)



36

Agosto 2009

2. Arquitetura de Von Neumann

Unidade de E/S

> Entrada/Saída <
 > Sinais de I/O <

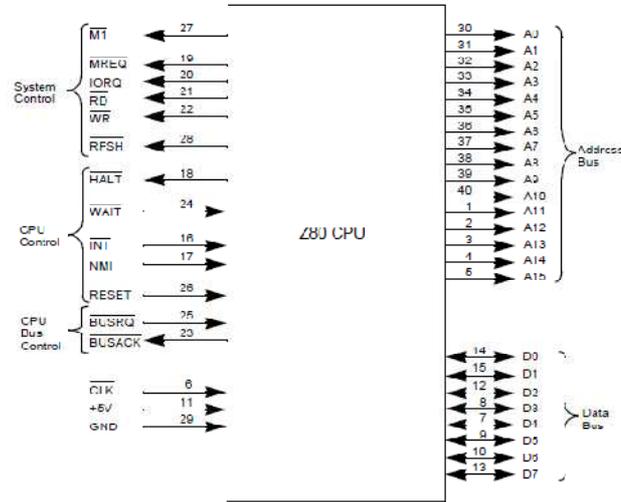
INT, NMI,
 MREQ, IORQ,
 RD, WR
 HALT, WAIT
 BUSRQ, BUSACK

Tipos de I/O:

Serial,
 Paralelo

Endereço (Mem)
 Portas I/O

Pooling,
 Interrupção,
 DMA, ...



Z80 I/O Pin Configuration

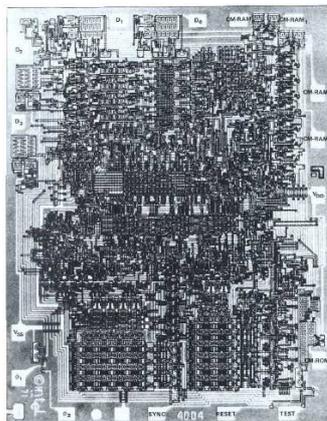
3. Arquitetura de Microprocessadores - Intel 4004

Intel 4004 (1971)

16-pin DIP package
 P-channel Silicon Gate MOS
 Minimum system: CPU and one ROM
 4-bit parallel CPU with 45 instructions

MCS-4
 FOUR-BIT PARALLEL MICROCOMPUTER SET

Features



- Microprogrammable General Purpose Computer Set
- 4-Bit Parallel CPU With 46 Instructions
- Instruction Set Includes Conditional Branching, Jump to Subroutine and Indirect Fetching
- Binary and Decimal Arithmetic Modes
- Addition of Two 8-Digit Numbers in 850 Microseconds
- 2-Phase Dynamic Operation
- 10.8 Microsecond Instruction Cycle
- CPU Directly Compatible With MCS-4 ROMs and RAMs
- Easy Expansion — One CPU can Directly Drive up to 32,768 Bits of ROM and up to 5120 Bits of RAM
- Unlimited Number of Output Lines
- Packaged in 16-Pin Dual In-Line Configuration
- Directly Compatible With 4004 CPU
- Interface 1702A PROMs Directly to 4004 CPU -- Completely Eliminates TTL Interface
- Permits Program Storage in Alterable Memory
- Execute MCS-4 Programs from any Mix of Standard Intel PROMs, ROMs and RAMs
- Expanded I/O Port Capability
- Each Port May be Both Input and Output -- Up to 16 4-bit Input Ports and 16 4-bit Output Ports
- I/O Ports and Control Lines are TTL Compatible
- Number of I/O Ports is Independent of the Size of the Program Memory
- New Instruction WPM (Write Program Memory) is Used for Loading Alterable Program Storage (RAM)

3. Arquitetura de Microprocessadores - Intel 4004

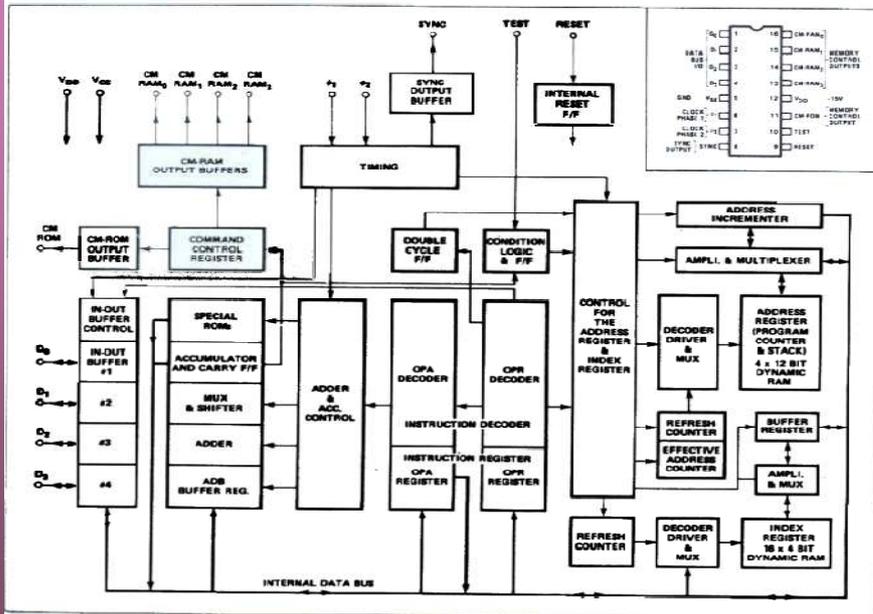
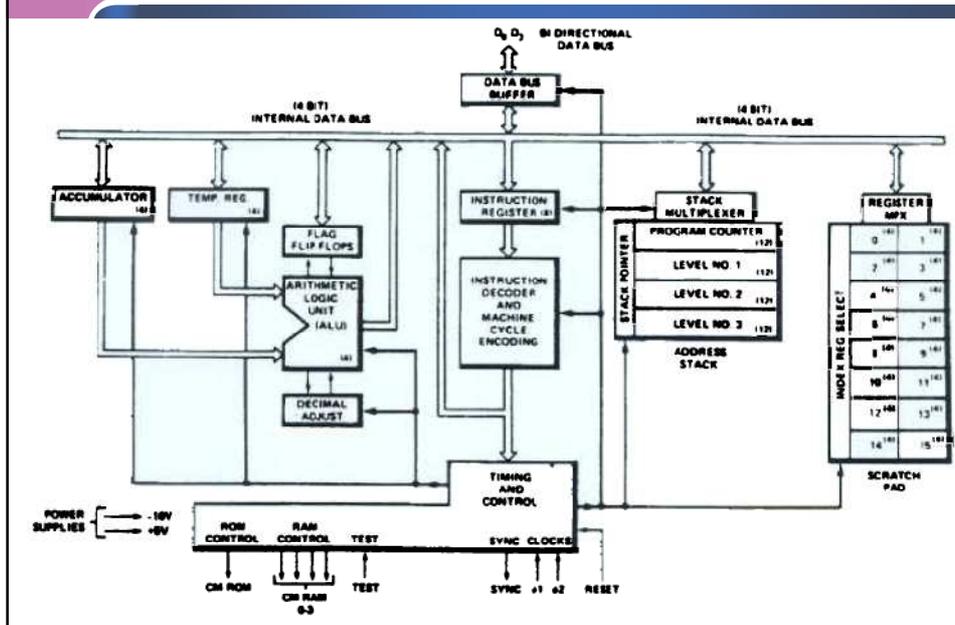


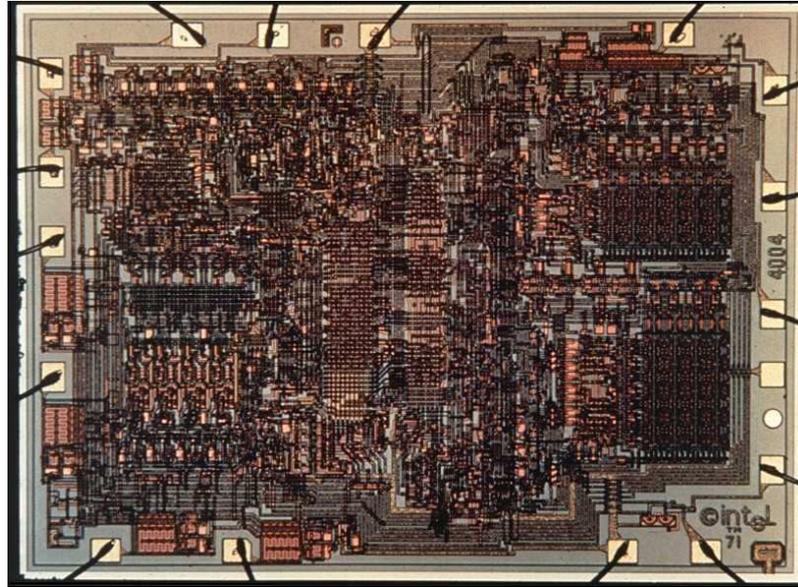
Figure 3. 4004 CPU Block Diagram

39
 Agosto 2009

3. Arquitetura de Microprocessadores - Intel 4004



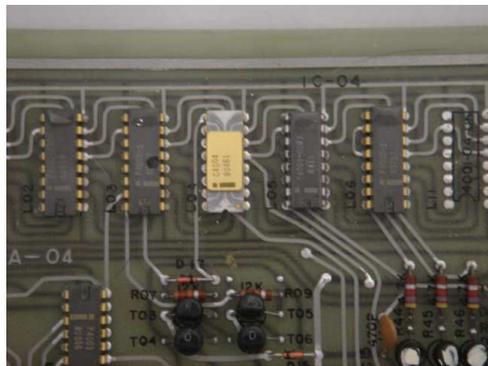
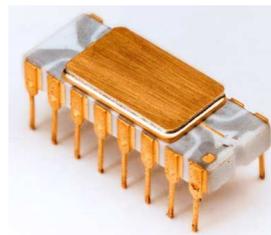
3. Arquitetura de Microprocessadores - Intel 4004



3. Arquitetura de Microprocessadores - Intel 4004

Intel 4004

Basicom - Nippon Calculating Machine Corp changed its name to Business Computer Corporation, was a Japanese company that owned the rights to the first microprocessor but sold them back to Intel. They made electronic calculators and the first using the new Intel 4004 processor was the Basicom 141-PF[1]





INFORMAÇÕES SOBRE A DISCIPLINA

USP - Universidade de São Paulo - São Carlos, SP
ICMC - Instituto de Ciências Matemáticas e de Computação
SSC - Departamento de Sistemas de Computação

Prof. Fernando Santos OSÓRIO

Web institucional: <http://www.icmc.usp.br/ssc/>

Página pessoal: <http://www.icmc.usp.br/~fosorio/>

E-mail: [fosorio \[at\] icmc. usp. br](mailto:fosorio@icmc.usp.br) ou [fosorio \[at\] gmail. com](mailto:fosorio@gmail.com)

Disciplina de Arquitetura de Computadores / Informática

Estagiário PAE: Maurício A. Dias

Web disciplina: COTEIA - [Http://coteia.icmc.usp.br](http://coteia.icmc.usp.br)

> Programa, Material de Aulas, Critérios de Avaliação,

> Lista de Exercícios, Trabalhos Práticos, Datas das Provas

Visite regularmente o site da CoTeia - Material em permanente atualização