

**USP - ICMC - SSC**  
**SSC 0510 - Informática - 2o. Semestre 2009**

## **Disciplina de Arquitetura de Computadores**

**Prof. Fernando Santos Osório**

**Email:** fosorio [at] { icmc. usp. br , gmail. com }

**Página Pessoal:** <http://www.icmc.usp.br/~fosorio/>

**Estagiário PAE** **Maurício Dias** - Email: acdias29 [at] yahoo.com.br

**Material on-line:** COTEIA - <http://coteia.icmc.usp.br>

## **Aula 03 - Tópicos Abordados**

### **Conteúdos Abordados:**

**1. Arquitetura de Von Neumann: CPU - ULA, UC, E/S, Memória**

**2. Arquiteturas Didáticas**

**2.1 Neander**

Descrição, Arquitetura, Funcionalidades

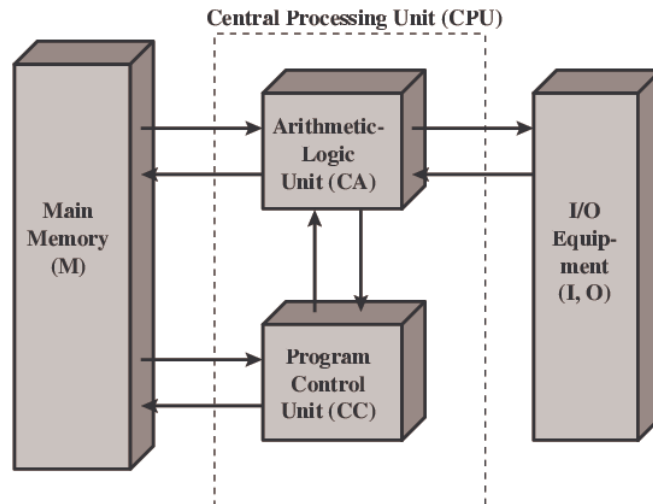
Simulação e Exemplos

**2.2 Ahmes, Ramses e Cesar ...**

**3. Arquitetura de Microprocessadores Comerciais**

## 1. Arquitetura de Von Neumann

### Máquina de von Neumann / IAS Computer



3

Agosto 2009

Fonte: <http://williamstallings.com/COA6e.html>

### IAS Computer: - Structure

#### Componentes:

#### ULA - Unidade Lógica Aritmética

AC - Acumulador

MQ - Registrador Multiplicador-Quociente

MBR - Registrador de Memória (Buffer)

#### UC - Unidade de Controle

IBR - Registrador de Instrução (Buffer)

(Leitura 40 bits: 2 instruções por vez)

IR - Registrador de Instrução

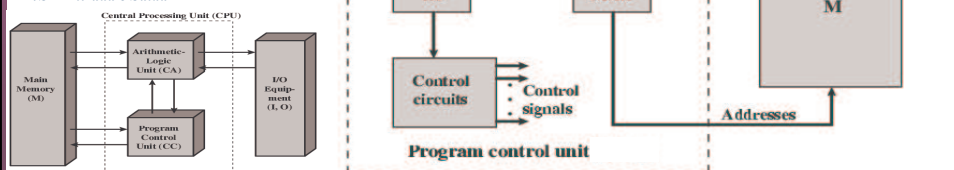
(em execução)

PC - Contador de Programa

MAR - Registrador de Endereço de Memória

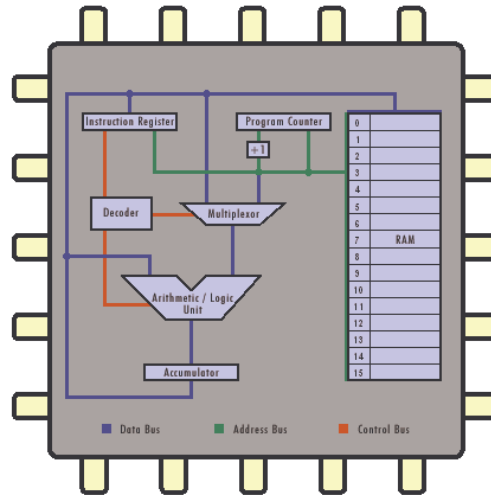
#### M - Memória

#### E/S - Entrada e Saída



## 1. Arquitetura de Von Neumann

### Unidade de Controle - UC



#### Elementos importantes:

PC - Program Counter  
AC - Accumulator  
IR - Instruction Register

Address Bus:  $n$  bits  
Data Bus :  $m$  bits

Flags da ULA (S - Status)  
Z - Zero C - Carry  
N - Negative V - Overflow

Memória: RAM / ROM  
System/User Program, Data,  
Stack (Pilha), I/O, Interrupts

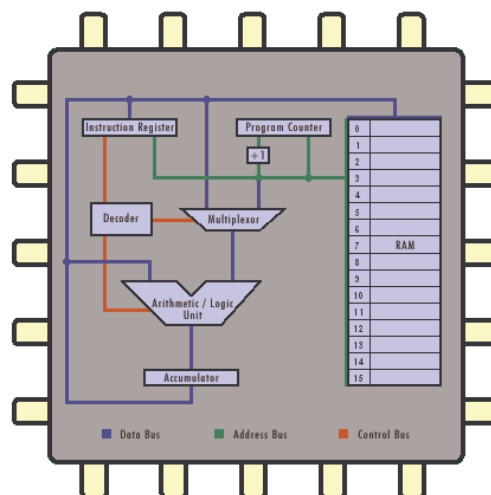
5

Agosto 2009

Fonte: <http://courses.cs.vt.edu/~csonline/MachineArchitecture/Lessons/CPU/index.html>

## 1. Arquitetura de Von Neumann

### Unidade de Controle - UC



#### μProc - Elementos

PC - Program Counter  
AC - Accumulator  
IR - Instruction Register  
SP - Stack Pointer  
IX - Index Register  
BR - Base Registers

Address Bus:  $n$  bits  
Data Bus :  $m$  bits

Flags da ULA (S - Status)  
Z - Zero C - Carry  
N - Negative V - Overflow  
P - Parity I - Interrupt

6

Agosto 2009

Fonte: <http://courses.cs.vt.edu/~csonline/MachineArchitecture/Lessons/CPU/index.html>

## 2. Arquiteturas Didáticas

### Neander - Computador Hipotético [Weber 2001\*]

#### Arquitetura: características gerais

- Largura de dados e endereços de 8 bits (bus)
- Dados representados em complemento de 2
- Acumulador de 8 bits (AC - Accumulator)
- Apontador de programa de 8 bits (PC - Program Counter)
- Registrador de Instruções de 8 bits (IR - Instruction Reg.)
- Registrador de estado (flags) com 2 códigos de condição: Negativo (N) e Zero (Z)
- Endereçamento de memória total de 256 bytes

7

Agosto 2009

\* <ftp://ftp.inf.ufrgs.br/pub/inf107/>

## 2. Arquiteturas Didáticas

### Neander => Simulador WNeander

The screenshot displays the WNeander simulator interface. It includes a 'Programa' window with a table of memory addresses and instructions, a central 'Neander' window showing the AC (Accumulator), PC (Program Counter), and instruction register, and a 'Dados' window showing data memory. A 'Mnemônicos' window lists the instruction set.

| P  | End. | Dado | Mnemônico |
|----|------|------|-----------|
| 0  | 0    | 0    | NOP       |
| 1  | 0    | 0    | NOP       |
| 2  | 0    | 0    | NOP       |
| 3  | 0    | 0    | NOP       |
| 4  | 0    | 0    | NOP       |
| 5  | 0    | 0    | NOP       |
| 6  | 0    | 0    | NOP       |
| 7  | 0    | 0    | NOP       |
| 8  | 0    | 0    | NOP       |
| 9  | 0    | 0    | NOP       |
| 10 | 0    | 0    | NOP       |
| 11 | 0    | 0    | NOP       |
| 12 | 0    | 0    | NOP       |
| 13 | 0    | 0    | NOP       |
| 14 | 0    | 0    | NOP       |
| 15 | 0    | 0    | NOP       |
| 16 | 0    | 0    | NOP       |

BP: 255 [0]: 0

AC: 000 PC: 000

Execução: 000000

Acessos: 000000

Instruções: 000000

Instrução: 0

Reg.Instrução: 0

Mnemônico: NOP

| Mnemônicos |            |             |  |
|------------|------------|-------------|--|
| NOP 00     | ADD 48 end | JMP 128 end |  |
| STA 16 end | OR 64 end  | JN 144 end  |  |
| LDA 32 end | AND 80 end | JZ 160 end  |  |
|            | NOT 96     | HLT 240     |  |

End. Dado

0 0

1 0

2 0

3 0

4 0

5 0

6 0

7 0

8 0

9 0

10 0

11 0

12 0

13 0

14 0

15 0

16 0

[128]: 0

8

Agosto 2009

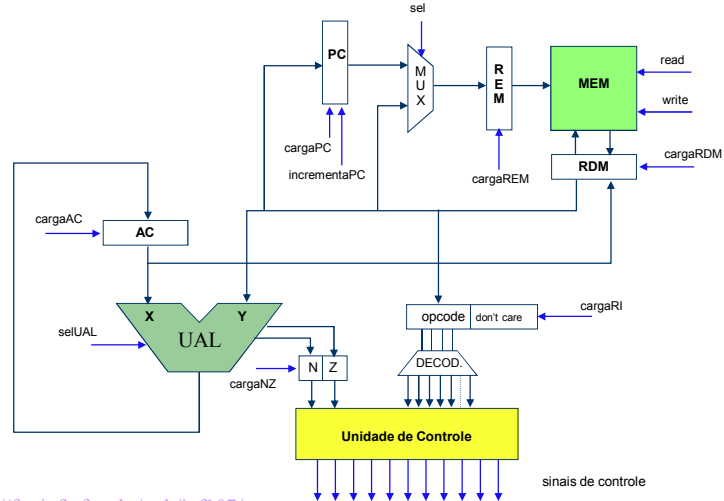
Simuladores Didáticos

<ftp://ftp.inf.ufrgs.br/pub/inf107/>

<ftp://ftp.inf.ufrgs.br/pub/inf108/>

## 2. Arquiteturas Didáticas

### Neander - Computador Hipotético [Weber 2001\*]



9

Agosto 2009

\* <ftp://ftp.inf.ufrgs.br/pub/inf107/>

## 2. Arquiteturas Didáticas

### Neander => Simulador WNeander

**Neander** Versão 2.1 Julho 2002  
Autor: Prof. Fernando Osório  
Tutor: Sérgio Weber

Versão: Falso, digite o End. Cont. Win32

**Programa**

| P  | End. | Dado | Mnemônico |
|----|------|------|-----------|
| 0  | 0    | 0    | NOP       |
| 1  | 0    | 0    | NOP       |
| 2  | 0    | 0    | NOP       |
| 3  | 0    | 0    | NOP       |
| 4  | 0    | 0    | NOP       |
| 5  | 0    | 0    | NOP       |
| 6  | 0    | 0    | NOP       |
| 7  | 0    | 0    | NOP       |
| 8  | 0    | 0    | NOP       |
| 9  | 0    | 0    | NOP       |
| 10 | 0    | 0    | NOP       |
| 11 | 0    | 0    | NOP       |
| 12 | 0    | 0    | NOP       |
| 13 | 0    | 0    | NOP       |
| 14 | 0    | 0    | NOP       |
| 15 | 0    | 0    | NOP       |
| 16 | 0    | 0    | NOP       |

**Neander**

Arquivo Editar Visualizar Executar ?

AC: 0000 PC: 0000

N Z

0.9 0.F

Execução: 000000

Acessos: 000000

Instruções: 000000

Instrução: 0

Reg.Instrução: 0

Mnemônico: NOP

Ok.

**Mnemônicos**

|            |            |             |
|------------|------------|-------------|
| NOP 00     | ADD 48 end | JMP 128 end |
| STA 16 end | OR 64 end  | JN 144 end  |
| LDA 32 end | AND 80 end | JZ 160 end  |
|            | NOT 96     | HLT 240     |

**Dados**

| End. | Dado |
|------|------|
| 0    | 0    |
| 1    | 0    |
| 2    | 0    |
| 3    | 0    |
| 4    | 0    |
| 5    | 0    |
| 6    | 0    |
| 7    | 0    |
| 8    | 0    |
| 9    | 0    |
| 10   | 0    |
| 11   | 0    |
| 12   | 0    |
| 13   | 0    |
| 14   | 0    |
| 15   | 0    |
| 16   | 0    |

BP: 255 [0]: 0 [128]: 0

Simuladores Didáticos

<ftp://ftp.inf.ufrgs.br/pub/inf107/>

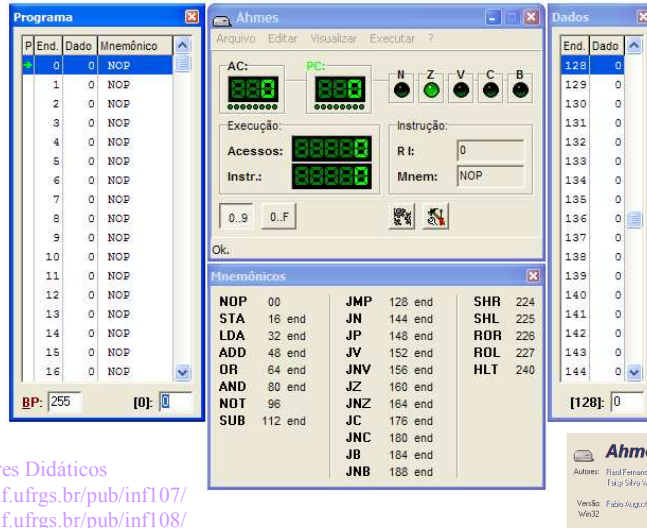
<ftp://ftp.inf.ufrgs.br/pub/inf108/>

10

Agosto 2009

## 2. Arquiteturas Didáticas

### Evolução do Neander... Ahmes, Ramses, Cesar

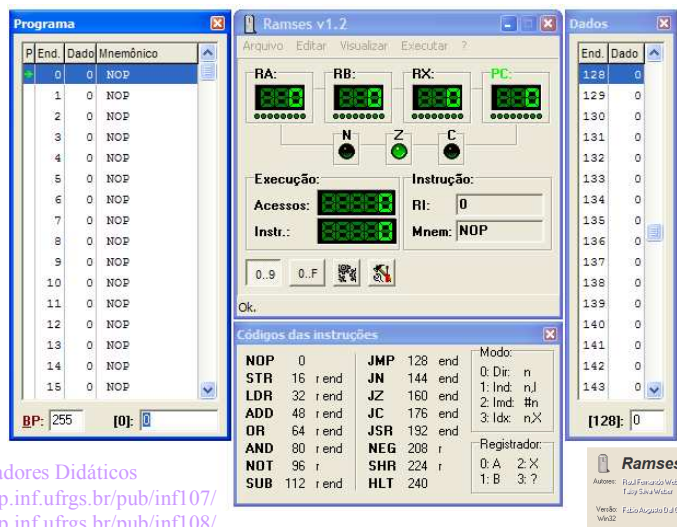


Simuladores Didáticos  
<ftp://ftp.inf.ufgrs.br/pub/inf107/>  
<ftp://ftp.inf.ufgrs.br/pub/inf108/>

11  
Agosto 2009

## 2. Arquiteturas Didáticas

### Evolução do Neander... Ahmes, Ramses, Cesar

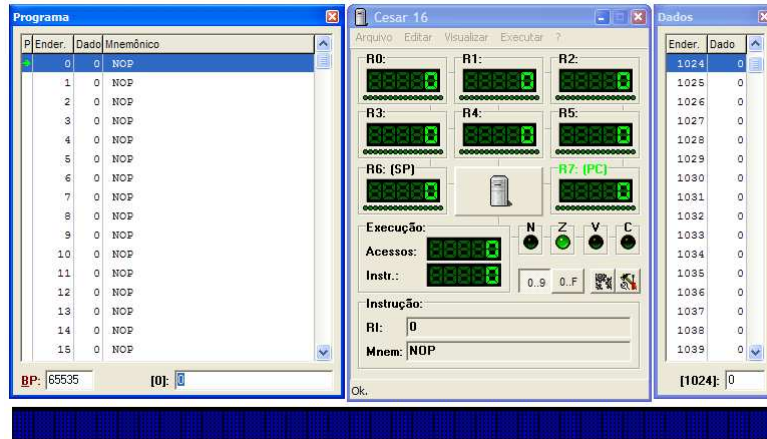


Simuladores Didáticos  
<ftp://ftp.inf.ufgrs.br/pub/inf107/>  
<ftp://ftp.inf.ufgrs.br/pub/inf108/>

12  
Agosto 2009

## 2. Arquiteturas Didáticas

### Evolução do Neander... Ahmes, Ramses, Cesar



Simuladores Didáticos  
<ftp://ftp.inf.ufgrs.br/pub/inf107/>  
<ftp://ftp.inf.ufgrs.br/pub/inf108/>

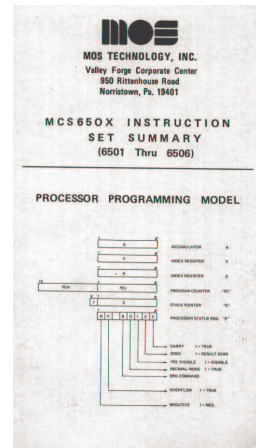
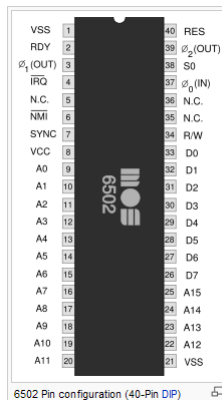
**Cesar 16** Versão 1.1.0  
Out-Dez 2005  
Autores: Raul Fernando Weber  
Tatay Silva Weber  
Versões: Fabio Augusto Dal Castel  
Vivian Carlos Arthur Lang Lobato

13  
Agosto 2009

## 3. Arquitetura de Microprocessador Comercial

### MosTech 6502 - Adotado no Apple II

Microprocessador de 8 bits dados e 16 bits de endereço



14  
Agosto 2009

\* [http://en.wikipedia.org/wiki/MOS\\_Technology\\_6502](http://en.wikipedia.org/wiki/MOS_Technology_6502)

### 3. Arquitetura de Microprocessador Comercial

## MosTech 6502 - Adotado no Apple II

### Microprocessador de 8 bits dados e 16 bits de endereço

#### Registers

The 6502 only has 6 registers. Five are 8 bits wide, one is 16 bits wide.

|     |                          |
|-----|--------------------------|
| A   | Accumulator              |
| X   | Index Register X         |
| Y   | Index Register Y         |
| PCH | Program Counter          |
| S   | Stack Pointer            |
| P   | Processor Status (Flags) |

#### Processor Status Register

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| N | V | - | B | D | I | Z | C |
|---|---|---|---|---|---|---|---|

N - Negative Flag  
V - Overflow Flag  
B - Break Command  
D - Decimal Mode  
I - Int. Disable  
Z - Zero Flag  
C - Carry Flag

Accumulator      8 bits      A

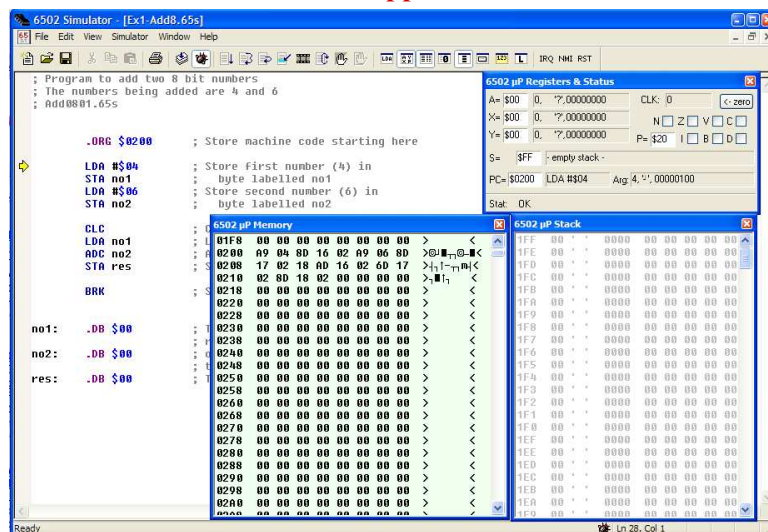
15

Agosto 2009

\* Simulador: 6502 Simulator / Site: [http://home.pacbell.net/michal\\_k/](http://home.pacbell.net/michal_k/) / By Michal Kowalski

### 3. Arquitetura de Microprocessador Comercial

## MosTech 6502 - Adotado no Apple II



16

Agosto 2009

\* Simulador: 6502 Simulator / Site: [http://home.pacbell.net/michal\\_k/](http://home.pacbell.net/michal_k/) / By Michal Kowalski



**INFORMAÇÕES SOBRE A DISCIPLINA**

**USP - Universidade de São Paulo - São Carlos, SP**  
**ICMC - Instituto de Ciências Matemáticas e de Computação**  
**SSC - Departamento de Sistemas de Computação**

**Prof. Fernando Santos OSÓRIO**

**Web institucional:** <http://www.icmc.usp.br/ssc/>

**Página pessoal:** <http://www.icmc.usp.br/~fosorio/>

**E-mail:** fosorio [at] icmc. usp. br ou fosorio [at] gmail. com

**Disciplina de Arquitetura de Computadores / Informática**

**Estagiário PAE: Maurício A. Dias**

**Web disciplina: COTEIA - [Http://coteia.icmc.usp.br](http://coteia.icmc.usp.br)**

**> Programa, Material de Aulas, Critérios de Avaliação,**

**> Lista de Exercícios, Trabalhos Práticos, Datas das Provas**

*Visite regularmente o site da CoTeia - Material em permanente atualização*